

SEMICONDUCTOR MEMORY

Patent number: JP7085691
Publication date: 1995-03-31
Inventor: SASAKI TOSHIO; TANAKA TOSHIHIRO
Applicant: HITACHI LTD
Classification:
- international: G06F12/16; G11C29/00; G11C29/04; G06F12/16;
G11C29/00; G11C29/04; (IPC1-7): G11C29/00;
G06F12/16
- european: G11C29/00R8L8
Application number: JP19930229865 19930916
Priority number(s): JP19930229865 19930916

Also published as:



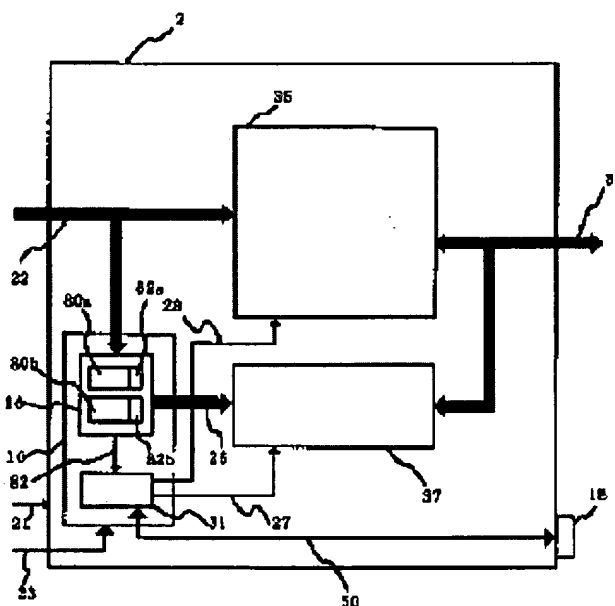
US5469390 (A1)

Report a data error here

Abstract of JP7085691

PURPOSE: To mutually use a spare memory between chips, in a semiconductor memory consisting of plural memory chips.

CONSTITUTION: A common redundant circuit 10 which can externally access to a spare memory 37 and an external terminal 18 are added to a semiconductor memory 2, a region 80a which stores a self defective address of the semiconductor memory and a region 80b which stores a defective address of an opposite device 2 having the same constitution are provided in the redundant circuit 10. Thereby, even when a defect of a normal memory of the semiconductor memory 2 cannot be relieved by a spare memory 37 of the device 2 itself, it can be relieved by the opposite device 2 having the same constitution. Therefore, the yield of the semiconductor memory is improved, and since a defect can be relieved, the reliability in the market is improved.



Best Available Copy

Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-85691

(43)公開日 平成7年(1995)3月31日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 29/00	3 0 1 B	6866-5L		
G 0 6 F 12/16	3 1 0 P	9293-5B		

審査請求 未請求 請求項の数25 O L (全 14 頁)

(21)出願番号 特願平5-229865

(22)出願日 平成5年(1993)9月16日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 佐々木 敏夫

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 田中 利広

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 弁理士 小川 勝男

(54)【発明の名称】 半導体メモリ装置

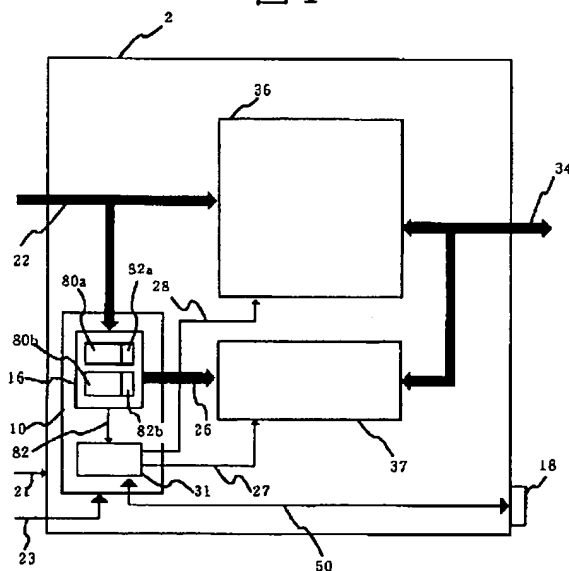
(57)【要約】

【目的】 複数のメモリチップからなる半導体メモリ装置において、チップ間で予備メモリを相互利用する。

【構成】 半導体メモリ装置2に予備メモリ37を外部からアクセスできる共通冗長回路10と外部端子18と付加し、冗長回路10に半導体メモリ装置2の自己の欠陥アドレスを記憶する領域80aと同一構成の相手方の装置2の欠陥アドレスを記憶する領域80bとを設けて、半導体メモリ装置2の正規メモリの欠陥を装置2自身の予備メモリ37で救済できない場合にも同一構成の相手方の装置2で救済を可能とする。

【効果】 半導体メモリ装置は歩留まりが向上し、また市場においても欠陥を救済できるので信頼性が向上する。

図 1



【特許請求の範囲】

【請求項1】(1)情報を蓄積する正規メモリと、所定のメモリセルを選択する正規デコーダとからなる正規メモリブロックと、

(2)上記正規メモリの救済に用いる予備メモリと、予備メモリを選択する予備デコーダとからなる予備メモリブロックと、

(3)欠陥アドレスを予めプログラムし、該プログラムされた上記欠陥アドレスとアドレス信号とを一致比較して、上記アドレス信号が上記欠陥アドレスに一致すると、上記予備デコーダを活性化するプログラム/比較部とを少なくとも具備してなる半導体メモリ装置であって、

上記プログラム/比較部に、上記半導体メモリ装置自身の欠陥アドレスを記憶する空間と、上記半導体メモリ装置の相手側の半導体メモリ装置の欠陥アドレスを記憶する空間との両方の欠陥アドレス記憶空間を設けたことを特長とする半導体メモリ装置。

【請求項2】請求項1記載の半導体メモリ装置において、上記半導体メモリ装置を少なくとも2つ以上有したメモリシステムであることを特長とする半導体メモリ装置。

【請求項3】半導体メモリを少なくとも2つ備え、該半導体メモリのそれぞれは、

(1)情報を蓄積する正規メモリと、所定のメモリセルを選択する正規デコーダとからなる正規メモリブロックと、

(2)上記正規メモリの救済に用いる予備メモリと、予備メモリを選択する予備デコーダとからなる予備メモリブロックと、

(3)欠陥アドレスを予めプログラムし、該プログラムされた上記欠陥アドレスとアドレス信号とを一致比較して、上記アドレス信号が上記欠陥アドレスに一致すると、上記予備デコーダを活性化するプログラム/比較部とを少なくとも具備してなり、

上記2つの半導体メモリの一方の欠陥を自己の予備メモリで救済するための欠陥アドレスを記憶する領域と、上記2つの半導体メモリの一方の欠陥を上記2つの半導体メモリの他方である相手の予備メモリで救済するための欠陥アドレスを記憶する領域との両方を上記プログラム/比較部に設けたことを特長とする半導体メモリ装置。

【請求項4】請求項3記載の半導体メモリ装置において、上記第1の半導体メモリの欠陥ビットを自己で救済できない場合、相互救済の相手であるすなわち少なくとも1つ以上からなる上記第2の半導体メモリにその欠陥ビットを割り当てる共通冗長回路を設けたことを特長とする半導体メモリ装置。

【請求項5】請求項3記載の半導体メモリ装置において、上記共通冗長回路による第1の半導体メモリもしくは第2の半導体メモリの判別選択が、上記共通冗長回路

のプログラム/比較部にプログラムされた欠陥アドレスと外部入力アドレスとの一致比較結果をもとにすることを特長とする半導体メモリ装置。

【請求項6】請求項3記載の半導体メモリ装置において、上記共通冗長回路の第1の半導体メモリもしくは第2の半導体メモリの判別選択が、上記共通冗長回路のプログラム/比較部にプログラムされた欠陥アドレスに付加された少なくとも1ビットのフラグビットの情報によることを特長とする半導体メモリ装置。

【請求項7】請求項5もしくは6記載の半導体メモリ装置において、上記冗長選択回路のプログラム/比較部のフラグビットの情報により、第1の半導体メモリの主メモリブロックと、第1の半導体メモリの予備メモリブロックと、第2の半導体メモリの予備メモリブロックと、を活性化もしくは非活性化することを特長とする半導体メモリ装置。

【請求項8】請求項5もしくは6記載の半導体メモリ装置において、上記共通冗長回路内の冗長選択回路に接続される少なくとも1つの外部端子を有する半導体メモリ装置。

【請求項9】請求項8記載の半導体メモリ装置において、上記外部端子はボンディング用のパッドである半導体メモリ装置。

【請求項10】請求項8記載の半導体メモリ装置において、上記冗長選択回路と外部端子を結ぶ共通内部予備線の入力もしくは出力論理レベルにより、上記半導体メモリ装置の予備メモリブロックを活性化もしくは非活性化することを特長とする半導体メモリ装置。

【請求項11】請求項8記載の半導体メモリ装置において、救済相手である第2の半導体メモリのプログラム/比較部において、上記第1の半導体メモリの欠陥アドレスが外部アドレスと一致し、かつ外部端子を介した共通内部予備線の論理レベルが活性化される場合に、第2の半導体メモリの予備メモリブロックが活性化することを特長とする半導体メモリ装置。

【請求項12】請求項7記載の半導体メモリ装置において、第1の半導体メモリの外部アドレスが入力され、第1の半導体メモリの冗長選択回路内の第2の半導体メモリの予備線を活性するフラグビットの情報が所定値である場合、第2の半導体メモリはその情報の所定値の出力を受け、かつ第2の半導体メモリでアドレスの一致比較が図られ活性化された場合にその第2の半導体メモリの予備線を読み書きする構成であることを特長とする半導体メモリ装置。

【請求項13】請求項11記載の半導体メモリ装置において、第2の半導体メモリの被救済相手となる第1の半導体メモリから予備線を活性する所定値の信号が入力されると、第2の半導体メモリの予備メモリブロックを活性化させ、かつ第1の半導体メモリの正規メモリブロック及び予備メモリブロックを非活性化することを特長とする

る半導体メモリ装置。

【請求項14】請求項13記載の半導体メモリ装置において、第1の半導体メモリから第2の半導体メモリの予備メモリブロックの予備線を活性する信号が第1の半導体メモリのチップ選択信号をもとに生成されたことを特長とする半導体メモリ装置。

【請求項15】請求項3記載の半導体メモリ装置において、上記第1の半導体メモリと上記第2の半導体メモリの共通冗長回路を同時に活性し、両者の上記共通冗長回路のプログラム／比較部にプログラムされた欠陥アドレスと外部入力アドレスとの一致比較結果及びフラグビットの情報で、第1の半導体メモリもしくは第2の半導体メモリを判別選択することを特長とする半導体メモリ装置。

【請求項16】請求項15記載の半導体メモリ装置において、第1の半導体メモリと第2の半導体メモリを活性する信号がチップ選択信号であることを特長とする半導体メモリ装置。

【請求項17】請求項1もしくは3記載の半導体メモリ装置において、上記プログラム／比較部に使用する欠陥アドレスとフラグビットを記憶するプログラム素子が電氣的に消去書き込み可能な不揮発性メモリセルであることを特長とする半導体メモリ装置。

【請求項18】請求項17記載の半導体メモリ装置において、上記プログラム素子が複数の記憶データを一括消去可能なフラッシュ型メモリセルであることを特長とする半導体メモリ装置。

【請求項19】請求項1もしくは3記載の半導体メモリ装置において、上記半導体メモリは自己でメモリセルをテストし修復する機能を有するメモリであり、テストの結果をもとに所定の半導体メモリの欠陥救済を実施する自己テスト修正回路を有することを特長とする半導体メモリ装置。

【請求項20】請求項19記載の半導体メモリ装置において、上記半導体メモリを複数配置した半導体メモリ装置は、全メモリの各々を第1の半導体メモリとするの自己テスト修正後は、上記第1の半導体メモリに対する第2の半導体メモリの予備メモリブロックを活性し、各第1の半導体メモリの救済に不足した予備線を第2の半導体メモリの予備メモリブロックに順次割り当てる機能をもつメモリチップ間救済を行う自己テスト修正回路をそれぞれの上記半導体メモリが有することを特長とする半導体メモリ装置。

【請求項21】請求項20記載の半導体メモリ装置において、上記半導体メモリ装置は、各半導体メモリのメモリセルをテストし欠陥を修復する機能を少なくとも1つ有することを特長とする半導体メモリ装置。

【請求項22】請求項21記載の半導体メモリ装置において、上記半導体メモリ装置はメモリシステム組み上げ後に、第1の半導体メモリの欠陥アドレスとフラグビッ

トのデータを記憶すると共に同装置のI/O端子から同データを出し、このデータをもとに第1の半導体メモリの相互救済に対応する第2の半導体メモリに、同データの欠陥アドレスとフラグビットを書込むことを特長とする半導体メモリ装置。

【請求項23】請求項8記載の半導体メモリ装置において、上記半導体メモリを複数配置した半導体メモリ装置が、欠陥アドレスの相互救済のため、上記1つの外部端子とこの半導体メモリに対応する被救済用の半導体メモリの同様の外部端子を結線したことを特長とする半導体メモリ装置。

【請求項24】請求項1もしくは請求項3記載の半導体メモリ装置において、欠陥アドレスの相互救済のため、上記第1の半導体メモリの入力端子もしくは出力端子もしくは入出力端子と被救済用の第2の半導体メモリの同様の上記端子を共通接続したことを特長とする半導体メモリ装置。

【請求項25】請求項8記載の半導体メモリ装置において、欠陥アドレスの相互救済のための上記外部端子が、かかる半導体メモリの正規端子を共有することを特長とする半導体メモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体メモリ装置の冗長構成に係り、特に複数のチップを使用するオーディオビジュアル、コンピュータ等のメモリシステムに好適な半導体メモリ装置に関する。

【0002】

【従来の技術】先ず、本発明の基本機能のために従来構成の半導体メモリ装置について説明する。従来の半導体メモリ装置においては、図2のようなメモリモジュールの冗長回路がある。

【0003】この図は、特開平1-269299号公報に記載されているものであり、部分的に良品のメモリセルを有する正規メモリと、予備メモリチップと、正規メモリの欠陥位置を記憶し正規メモリと予備メモリのアドレスもしくはI/O信号を切り換える制御回路とで構成されている。これにより、これまで廃棄した欠陥ビットを含むメモリチップを使用できるため飛躍的な歩留まり向上が期待できる。

【0004】

【発明が解決しようとする課題】しかしながら、特開平1-269299号公報に記載の技術では、メモリボード、メモリモジュール、メモリカード等の面積は一般に狭いため、さらに欠陥ビットを救済するため付加した予備メモリチップと制御回路で、搭載できるメモリチップ数が減少すること、また付加したデバイス数の増加で取付け手数及び部品代が増加すること等から高価格となる難点があることが本願発明者の検討により明らかとされた。

【0005】一方、従来の単体の半導体メモリ装置はチ

チップ内にオンチップ冗長回路と呼ばれる冗長回路を設け、歩留まり低下を防止してきた。しかし、オンチップ冗長回路による救済効果も高集積、大容量化に伴い世代が進む毎に低下する傾向にある。また冗長本数を増加するとそのための予備メモリ、予備デコードで構成する冗長回路が増加しチップ面積が増加する。この歩留まりはチップ面積、欠陥密度等によるため、所定の冗長本数を最大歩留まりとして、その後は本数を増加しても低下する傾向にある。

【0006】本発明の目的は上記従来技術で問題となる冗長回路占有面積の増加と取付け手数の増大を防止しつつ、高歩留まりの半導体メモリ装置を提供することである。

【0007】

【課題を解決するための手段】本発明の一実施形態(図1)に従えば、上記目的は次のように解決される。すなわち、正規メモリブロック(36)と、予備メモリブロック(37)と、欠陥アドレスのプログラム部とこのプログラムされた欠陥アドレスと外部アドレスの一致比較部よりなるプログラム/比較部(16)とを有する半導体メモリ装置(2)において、この半導体メモリ装置(2)を構成する第1の半導体メモリの正規メモリブロック(36)の欠陥を救済するのが第1の半導体メモリ自身の内部の予備メモリ(37)か、半導体メモリ装置(2)を構成する外部(すなわち相手側)の第2の半導体メモリの予備メモリ(37)かを選択判断する冗長選択回路(31)と、上記プログラム/比較部(16)の欠陥アドレス記憶部(80a, 80b)に新たに内部すなわち第1の半導体メモリの予備メモリを使うかどうかを判定するフラグビット(82a)と、救済相手である外部すなわち第2の半導体メモリの予備メモリを区別判定し活性させるフラグビット(82b)を付加することを特徴とする。また第1の半導体メモリのフラグビット(82b)の出力(82)は冗長選択回路(31)に入力され、外部端子(18)から出力される。さらに、その外部端子(18)は第2の半導体メモリ(2)の外部端子(18)と接続される。一方、本発明の他の実施形態(図10)では相互救済の相手である第2の半導体メモリ(2)と共通接続される第1の半導体メモリの外部端子(18')は外部のチップ選択信号(23)により生成された相手チップ活性信号(23')が出力される。その際は第1の半導体メモリの正規メモリブロックと予備メモリブロックが活性化されるとともに第2の半導体メモリの予備メモリを活性する構成とする。なお、半導体メモリ装置ではメモリシステム化した場合の最大許容電流を考慮し、冗長時に活性する第1の半導体メモリの正規メモリブロックと予備メモリブロック及び第2の半導体メモリの予備メモリブロックの部分をグループ化し、最少活性して低電力化を図る。なお、外部端子は実際のICパッケージにおける空き端子もしくは通常は使用しない端子、もしくは新たに追加した端子を使用す

る。例えば、この追加端子はチップ間救済を考慮したメモリシステムのための特殊ICパッケージであっても良い。またこの端子はベアチップ貼り付け時に使用し、正式な外部仕様ピンと接続しない冗長専用パッドもしくは端子であっても良い。さらに使用中の既存端子との共有化でも良く、例えば入力もしくは出力を通常と異なるレベルとしても良い。一方、チップ間救済に使わないメモリでは、かかる外部端子をVccもしくはVssに接続するか、内部論理の構成によって外部に影響でないよう構成し、また具体的なピンとしてパッケージ外部に現れないようにすることもできる。以上から本発明の半導体メモリ装置は新しい冗長回路の手段により最小の面積増加で、メモリシステムレベルでの歩留まりを向上できる。

【0008】

【作用】本発明の代表的な実施形態(図1)では、チップ間で相互救済可能とするためのフラグビット(82b)では、メモリシステムにおいて第1の半導体メモリ(2)が自己のメモリの予備線を図3の欠陥アドレス値A, B, C, D(図3)のようにフルに使ったとしても、第2の半導体メモリ(2)に予備線の余裕がある場合は、第1の半導体メモリで救済できなかった欠陥アドレス値Q, Rを配置できるので、システム全体を良品にできる。すなわちメモリシステムは半導体メモリ装置全ての正規メモリブロックの欠陥総量が全ての予備メモリブロックの正常な予備線の総量と同じか、それ以下である場合に救済できることになる。

【0009】一方、本発明の他の実施形態(図10)では、第1の半導体メモリの活性化と、第2の半導体メモリの予備メモリブロックの活性化がほぼ同時になるため、第2の半導体メモリの予備メモリのアクセス時間は遅延少なく高速応答する。

【0010】さらに図1の実施例によると、フラグビット(82a, 82b)が第1の半導体メモリの正規メモリブロックもしくは予備メモリブロックもしくは第2の半導体メモリの予備メモリブロックのいずれか1つを活性させるのでシステムの消費電流を抑えることができる。一方、図10の実施例によると、第1の半導体メモリのチップ選択信号と第2の半導体メモリの相手チップ活性信号が一時期活性化されるが、その後はフラグビット(82a, 82b)が第1の半導体メモリの正規メモリブロックもしくは予備メモリブロックもしくは第2の半導体メモリの予備メモリブロックのいずれか1つを選択活性させるので、図1と同様にメモリシステムの消費電流を抑えることができる。本発明のその他の目的及び新規な特徴は、以下に詳述する実施例から明らかにする。

【0011】

【実施例】以下、図面を参照にして本発明の実施例を詳細に説明する。

【0012】図1は本発明の半導体メモリ装置の概念を示すためのブロック図である。

【0013】図1において、2は情報を記憶する半導体メモリ、36は複数のメモリセルで構成されるとともに読出し／書込みの際にメモリセルを選択する正規デコーダを含む正規メモリブロック、37は正規メモリのスベアメモリとなる複数のメモリセルで構成されるとともに予備デコーダを含む予備メモリブロック、16は予備メモリブロック37の予備線を選択するために欠陥アドレスを記憶し外部アドレスと一致比較するプログラム／比較部、31は正規メモリブロック36と予備メモリブロック37の活性化を制御し、半導体メモリ2の内部の予備メモリか同装置の外部の予備メモリかを選択判断する冗長選択回路、10はプログラム／比較部16と冗長選択回路31で構成される共通冗長回路を示す。さらに26は予備メモリ選択信号であり、プログラム／比較部16から出力される。80aは自己の半導体メモリ装置を第1の半導体メモリとすると、第1の半導体メモリの予備メモリ選択信号26を発生するため外部からプログラムされた自己の欠陥アドレス値を示す。また80bは第1の半導体メモリの救済相手となる第2の半導体メモリの予備メモリ選択信号26を発生、活性させるため、外部からプログラムされた相手の欠陥アドレス値を示す。一方、82aは第1の半導体メモリの予備メモリ活性を区別判定するフラグビットであり、82bは第1の半導体メモリの救済相手となる第2の半導体メモリの予備メモリ活性を区別判定するフラグビットである。さらに21は書込み、読出し制御、データの入出力等を制御するメモリ制御信号、23はチップ選択信号、50は少なくとも1本からなる共通内部予備線、18は外部端子もしくはチップのボンディングパッド、また22は外部アドレス、28はフラグビット82a、82bをもとに正規メモリブロック36を活性させる正規メモリ活性線、27は同様に予備メモリブロック37を活性させる予備メモリ活性線、82はフラグビット82bの出力線、34は外部入出力I/O線をそれぞれ示す。ここで共通冗長回路10は以下の回路もしくはは活性線により機能する。共通冗長回路10は、予備線の選択信号26と正規メモリブロック36及び予備メモリブロック37のそれぞれの活性線28、27を出力し、予備メモリブロック37の活性時は正規メモリブロック36を非活性化するように制御される。一方、プログラム／比較部16は欠陥アドレス値80a、80bに加えて、少なくとも1ビットで構成されるフラグビット82a、82bがそれぞれ付加される。

【0014】図3に欠陥アドレスとフラグの例を示す。図1と同一部分には同一番号を付し、異なる部分の記号を説明する。本実施例では動作を説明するため便宜上、M1は第1の半導体メモリ、同様にM2は第2の半導体メモリとする。また16aはM1及びM2における自己の第1の半導体メモリM1の予備メモリ空間を示すものであり、主に自己の欠陥アドレス値及びフラグビットを

記憶する領域からなり、16bはM1及びM2における相手の第2の半導体メモリM2の予備メモリ空間を示すものであり、主に相手の欠陥アドレス値及びフラグビットを記憶する領域からなる。一方、A～Fは"0"、"1"の2値で示される欠陥アドレス値、Xはドントケアを示し、"0"、"1"のいずれでも良い。このフラグビット82a、82bは外部アドレスとプログラムされた欠陥アドレスとの一致比較結果をもとに生成されるか、予め欠陥アドレスの記憶時にプログラムしておく、一致比較結果をもとにそのフラグ内容出力する構成としても良い。なおフラグビット82bは、フラグが1ビットの場合、M1の相手の予備メモリ空間16bの領域で一致比較された結果を用いる構成としても良い。次に図1と図3を用いて本実施例の動作を簡単に説明する。まずプログラム／比較部16における欠陥アドレス値とフラグビットの関係は、例えば図3に示すように第1の半導体メモリM1の自己の予備メモリ空間16aにおいてA～Dが"1"、第1の半導体メモリM1における第2の半導体メモリM2の予備メモリ空間16bにおいて、Q、Rが"1"、またドントケア値Xに対しては"0"とする。前者A～Dの82aの"1"は第1の半導体メモリM1の正規メモリの欠陥ビットを第1の半導体メモリM1の予備メモリで救済し(自己救済)、後者Q、Rの82bの"1"はM2のから見てM1の正規メモリの欠陥ビットをM2の予備メモリで救済するフラグとなる(相手救済)。さらに82a、82bの"0"はM1もしくはM2の予備メモリ空間で救済動作を活性しないことを示す。すなわち第1の半導体メモリM1の自己のメモリの予備メモリ空間16aのフラグ82aが"1"の場合、M1の外部端子18は非活性状態であり、M1の予備メモリを選択活性する。また第1の半導体メモリM1における第2の半導体メモリM2の予備メモリ空間16bのフラグ82bが"1"の場合、外部端子18は高レベルの活性状態となり、第2の半導体メモリM2の予備メモリを選択活性する。さらに、外部端子18が高レベルでは、第1の半導体メモリM1の正規メモリブロック36と予備メモリブロック37は非活性化され、さらに第2の半導体メモリM2の外部端子18が高レベルとなるため、M2の予備メモリに関する回路が選択活性される。なお、第1の半導体メモリM1の予備メモリ空間のフラグ82aが"0"では正規メモリブロック36を選択するよう動作する。このフラグビット82a、82bは第1の半導体メモリM1もしくは第2の半導体メモリM2のパワーセーブとしても活用される。このような構成によって第2の半導体メモリM2では欠陥アドレス値E、Fが内部の予備メモリで救済され、かつ第1の半導体メモリM1の欠陥アドレス値Q、Rをプログラム可能となる。この結果、M1の欠陥線A、B、C、D、Q、Rの6本とM2の欠陥線E、Fの2本とをそれぞれ救済したこととなり、これは4本の予備線しか持たない

半導体メモリ装置2を1素子良品化できたことになる。すなわちシステムは、全ての正規メモリブロック36の欠陥線量が全ての予備メモリブロック37の正常な予備線量と同じかそれ以下である場合に救済できることとなる。以上は第1の半導体メモリM1と第2の半導体メモリM2の2チップを1グループとして説明したが、複数のチップで構成されるシステムではM1から見て複数のM2の各チップを区別するチップ活性信号が必要であり、例えば4チップではフラグビット82bを2ビット設け、その論理出力として2端子、16チップではフラグビット82bを4ビット設け、同様に4端子を半導体メモリ装置に付加すれば良い。この場合のフラグビット82bは、予めプログラム記憶させ一致比較結果で活性させ、グループ内で相手のメモリを特定できるように例えばチップにアドレスを割り付けるように構成すれば良い。この結果、欠陥アドレスのプログラム部にフラグビット82a、82bを追加して、第1の半導体メモリM1と第2の半導体メモリM2すなわち自己と相手の半導体メモリ装置の予備線を相互に利用できる、複数のメモリ装置間にわたる相互救済が可能となる。なお、以上の救済ではシステムの完全な良品化を目指すものではあるが、複数ビット構成の装置では、一部にビット欠陥があっても全体では問題無いような装置（例えば音声、映像メディア等）も有、その場合はその欠陥が合っても良いビットをビット欠け状態として残し、残りのビットを完全に救済できるようにしても良い。さらにプログラム素子としてはフラッシュメモリセルのような電気的消去書込み可能な素子を使用すると、DRAMセルと同等の占有面積で欠陥アドレスの記憶領域80a、80bとフラグビット82a、82bのプログラム領域が実現できる。この場合はプログラム素子に対して高電圧印加等の書込み制御回路を有し、例えば不揮発性メモリでは、半導体メモリ装置のコマンド命令体系で制御するか、直接外部ピンもしくは書込み高電圧印加のために設けたボンディングパッドで書込んでも良い。さらに救済制御用にパッド等を追加しても良い。なお、従来のオンチップ冗長のように自己の救済のみに活用する場合はプログラムしない初期状態、もしくはプログラムによって、外部端子18が例えば“0”となるよう制御され、自己もしくは相手に対して、予備メモリブロック、正規メモリブロックが誤って活性／非活性することはない。従って、本発明はウェーハ状態にあるメモリブロック、すなわちチップを良品／不良品の区別無く分離し組み立てても、また複数のメモリをウェハスケールインテグレーション（WSI）のように一つの集合体として組み立てても実現できる。一方、本発明はプログラム／比較部16のプログラム素子に記憶する欠陥アドレスを不揮発性メモリに書込むが、この書込み作業は、メモリ装置の製造時を基本としても良く、また電気的消去書込みであることから装置が完成後の稼働中であっても可能なことはいま

でもない。これには欠陥アドレスを救済するコマンドの追加もしくはシステムソフトウェアによるサポート等があれば良い。このため、この救済機能は市場で生じた永久的なハードエラーもしくは不揮発性メモリの最大書替え回数に達したメモリセルの切り替え等、各種の救済に關しても効果的である。

【0015】図4は半導体メモリ装置の不良分布例を示す。同図は1MビットSRAMの評価実測値であり、本発明の救済効果を従来の半導体メモリ装置のオンチップ冗長回路と本発明による半導体メモリ装置の冗長回路の救済範囲を比較説明する。同図の横軸はDC不良を除いた部分良品のメモリチップ当たりの欠陥線本数、縦軸はメモリチップの数を表わし、104は本発明による救済範囲、102は従来の冗長回路すなわちオンチップ冗長回路による救済範囲をそれぞれ示す。同図のSRAMはオンチップ冗長回路の欠陥線救済能力が6本であり、メモリチップはその適用により、47個が良品になると考えられる。一方、本発明は図1で述べたように上記良品47個に適用した結果、各チップで残る予備線を、さらにオンチップ冗長回路を適用しても冗長本数不足となったチップに有効利用する救済構成である。本発明では同構成により新たに41個を良品にでき、全体の歩留まりは約2倍となる。またチップ当たりの欠陥線救済本数は約12本となり、従来のオンチップ冗長回路の約2倍増加している。上記はチップの選択を無差別ではなく欠陥素性を把握した例であるが、実際の予備線数以外の仮想本数を含む救済可能本数の最適化は無差別のすなわちランダムなチップ選択において救済歩留まりの向上を図るために、例えば仮想の救済本数を多く配置すれば良い。また最大救済本数を9本までとして選別し、それらを組み合わせる場合の他のチップは本来の欠陥アドレス数が3本以下であり残り3本を救済できる余裕を持つとする。この結果、上記2チップの組合せは12本以下となるため必ず救済できることになる。以上は欠陥を持つメモリを組み合わせることで良品とする一例であり、その救済本数を制限するものではなく、また救済グループ内の組合せチップ数等を限定するものではないことは言うまでもない。

【0016】図5は図1に示す半導体メモリ装置を使用した第2の実施例を示す。同図は半導体メモリ装置に1本の外部端子を付加しメモリシステム化したメモリモジュールへの応用例である。同図において、図1と同一部分には同一番号を付すことにより説明を省略する。以下、図5を用いて本発明の構成と動作を説明する。同図の100はメモリモジュール、54はメモリモジュール100に配線されたメモリチップの外部端子18のチップ間を接続する共通予備線、56は半導体メモリ装置2の集合体であるメモリ群、58はメモリモジュール100と外部装置との接続端子であり、1/O0～1/O1はM1、M2が共有するi+1個の各1/O信号、60

は各種メモリ制御信号、アドレス信号、I/O信号、電源/接地線等の接続端子群を示す。次に本実施例の動作を説明する。まず、チップ選択信号及び外部アドレスが印加されると、例えば第1の半導体メモリM1が起動され、第2の半導体メモリM2の予備メモリ空間に対して欠陥アドレスが一致する時、すなわちM1に予備線がなく、M2に予備線が割り当てられた救済動作のケースでは、M1の外部端子18が例えば高レベルとなり、共通予備線54を介して、M2の予備メモリブロックが活性される。この結果、同M2の入出力I/O端子すなわちI/O0線から情報が書き込み/読出しされる。さらに2チップがオン状態となるためのパワーセーブ動作としては、第1の半導体メモリM1は第2の半導体メモリM2の活性後パワーオフされ、M2は予備メモリブロック37の情報を入出力するための回路が少なくとも活性される。なお、M1自体で処理される救済のない動作とM1の予備メモリブロック37をアクセスする救済動作は、M2がパワーオフ状態にあるため消費電流の増加はない。またM1、M2の出力データが衝突することのないように制御される。このように、半導体メモリ装置に1つの外部端子18を双方向の入出力端子として設け、すなわちICパッケージの外部ピンもしくはベアチップにフェーズダウンボンディング用のパッドとして追加することにより、チップ間で相互救済できる。なお、本実施例では1グループを2チップとした例であり、救済相手を確定するためには、フラグビット82bの代わりに欠陥アドレスと外部アドレスの一致比較結果そのものを用いても良い。この際はフラグビット82a、82bがあってもなくても、また使わなくとも上記のように一致比較結果を用いれば良い。さらに上記双方向の端子は入力と出力を別端子としても良い。またフラグビットもしくは上記一致比較結果をもとに必要な回路のみを動作させることで消費電力を抑制できる。さらに第1の半導体メモリM1及び第2の半導体メモリM2の消費電流はそれらのピーク値が重ならないようなタイミングで両者を制御して、メモリシステムのピーク電流を抑制しても良い。

【0017】図6は図1に示す半導体メモリ装置2を使用した第3の実施例を示す。同図は図5と同様のメモリモジュールの応用例である。同図において、図5と同一部分には同一番号を付すことにより説明を省略する。同図の18a、18bは外部端子、54a、54bは共通予備線、I/O0~I/Ojはj+1個の各I/O信号、M1~M4はそれぞれ半導体メモリ装置を示す。本発明の構成では半導体メモリ装置2に共通予備線54a、54bの2端子を追加することが図5と異なる。この構成では、図1において述べたフラグビット82bが2ビットとなり、M1~M4の4チップで予備線の共有化が達成でき、例えばI/O信号であるI/O0はM1~M4で共通化される。その救済動作は基本的に図1と

同様であり、まず2ビットのフラグビット82bを救済相手となるM2~M4の半導体メモリ装置2の何れかに対して、予め欠陥アドレスと同様にプログラム記憶しておく。救済時は被救済側のM1の第1の半導体メモリでそのフラグビット82bを共通予備線54a、54bから送出し、救済相手であるM2~M4の1つの第2の半導体メモリはそのフラグビット82bをデコードすることで特定される。この結果、上記メモリモジュールにおいては2端子を追加することで、図5に比べグループ内で相互救済できるチップ数を4チップに増加でき、歩留まりを向上できる。

【0018】図7は図1に示す半導体メモリ装置2を使用した第4の実施例を示す。同図は図5と同様のメモリモジュール応用例であり、同図において、図5と同一部分には同一番号を付すことにより説明を省略する。以下、図7を用いて本発明の構成と動作を説明する。同図のM1~Mnは半導体メモリ装置、54cは共通予備線、I/Okはデータの入出力信号を示しM1~Mnに共通となり、これらは入力信号と出力信号が別の端子となっても良い。ここでM1~Mnのn個のメモリチップは共通に外部端子18を接続している。この結果、nチップの欠陥アドレスは、第1の半導体メモリを除く第2の半導体メモリにおいて、互いの(n-1)個のチップで同一位置となる特定欠陥線を除き、nチップの有する全冗長本数以内で本メモリモジュール100の全欠陥線が置換できる。一方、テストングにより個々のチップの欠陥位置を把握し、各チップが外部チップから外部端子18を介してアクセスされた時、(n-1)個のチップが同一位置の特定欠陥アドレスにならないチップをグループ化し、システムを構築しても良い。またオンチップ冗長回路の適用時に予め同一位置の特定欠陥線を半導体メモリ装置のそれぞれが自己の予備メモリで優先して救済しておいても良い。さらに第1の半導体メモリM1の1つの外部端子から第2の半導体メモリM2の全てにシリアル転送で救済相手のチップ活性信号を伝送して、予備チップ側となる第2の半導体メモリM2でデコードし、確定しても良い。なお、上記構成によるシステムレベルでの救済は、図6に示したようなチップに外部端子を2端子設け、モジュール内全てのチップをそれぞれの端子に共通接続した場合、良品のメモリシステム実現にはメモリシステム内で外部からアクセスされる時、4本の同一位置の特定欠陥線の存在を許し、また4端子を追加した場合、同様に16本の同一位置特定欠陥線の存在を許すことができる。従って、本発明によるメモリシステムの構築では最終的なチップ組み合わせ歩留まりを考慮したフラグビットの数を設定し外部端子をメモリ装置に追加すれば良い。

【0019】図8は図1の本発明の半導体メモリ装置を改良した第5の実施例を示す。同図において、図1と同一部分には同一番号を付すことにより説明を省略する。

以下、図8を用いて本発明の構成と動作を説明する。同図の32は正規メモリブロック36の入出力I/O線、30は予備メモリブロック37の入出力I/O線、12は入出力I/O線32と入出力I/O線30を切替えるI/O切換え線、また20はI/O切換え回路をそれぞれ示す。ここで図1とはI/O切換え回路20による正規メモリブロック36と予備メモリブロック37の切離しがあることが異なり、その他の動作は同様である。以下、切離し動作とその効果を述べる。通常、外部入出力I/O線34はI/O切換え線12により正規メモリブロック36に接続されているが、同メモリブロック36に欠陥がある場合は共通冗長回路10において欠陥アドレスと外部アドレスの一致比較結果で活性され、例えば外部入出力I/O線34はフラグビット82aが第1の半導体メモリの自己の予備メモリ空間で情報"1"である場合、予備メモリブロック37の入出力I/O線30側に切換えられる。またフラグビット82bが第1の半導体メモリの相手の予備メモリ空間で情報"1"である場合は、第2の半導体メモリの予備メモリブロック37の入出力I/O線30側に切換えられる。このようにI/Oが分離された結果、上記予備メモリブロック37と正規メモリブロック36のそれぞれのI/O線の負荷容量が軽減される。従って、予備メモリブロック37のアクセス時間は、I/O線が共通であった図1に比べて短縮できる。図9は本発明の第6の実施例を示す。同図は自己テスト修正機能を備えた半導体メモリ装置の例であり、同図において、図1もしくは図8と同一部分には同一番号を付すことにより説明を省略する。以下、図9を用いて本発明の構成と動作を説明する。同図の2'は自己テスト修正機能付きの半導体メモリ装置、66はチップ選択信号を含む外部メモリ制御信号、68は内部アドレス、64は半導体メモリ装置のテスト修正を実施するフローを有する自己テスト修正回路、また70はテスト用アドレス、74は自己テスト修正回路64のテスト開始/停止等の活性信号、76は予備メモリブロック37及び正規メモリブロック36のテスト活性信号をそれぞれ示す。さらに62は正規メモリブロック36もしくは予備メモリブロック37の欠陥ビットもしくは欠陥線をそれぞれ検出するため、外部アドレス22とテスト用アドレス70を切換え、かつメモリ装置2'に入力される外部メモリ制御信号66をもとに上記それぞれのメモリブロックの書き込み/読み出し制御に必要な各種制御信号を発生するテスト制御回路を示す。また、70はテスト用アドレス、74は自己テスト修正回路64のテスト開始/停止等の活性信号、76は予備メモリブロック37及び正規メモリブロック36のテスト活性信号をそれぞれ示す。まず自己テスト修正回路64は外部メモリ制御信号66でテスト修正開始の指示が与えられると活性し、テスト制御回路62において正規メモリブロック36の内部アドレス68をテスト用アドレス70に接続す

る。また自己テスト修正回路64で発生した期待値データはI/O切り換え線12の制御により入出力I/O線34、I/O切り換え回路20、入出力I/O線32を介して期待値データを正規メモリブロック36に転送し、メモリセルに書き込む、その後データを読み出し期待値と比較する。このテストではメモリのワード線もしくはビット線等を1本ないし複数本まとめて評価することでテスト時間を短縮し実施できる。また欠陥アドレスは自己テスト修正回路64に記憶しておく。一方、予備メモリはI/O切り換え線12により入出力I/O線34を予備メモリブロック37のI/O線30に切り換え、同様に評価して良品となる予備線に関しては上記記憶された欠陥アドレスをプログラム/比較部16でプログラムする。なお欠陥アドレスの記憶は正規メモリブロック36に欠陥がある都度、予備メモリブロック37を評価し、順次欠陥アドレスをプログラムする救済方法をとっても良い。その場合は自己テスト修正回路64に記憶する欠陥アドレスは一時的な記憶となるので少なくとも1つのレジスタを有すれば良いことになる。また予備メモリブロック37は正規メモリブロック36に比べて一般に小規模であるので歩留まりがほぼ100%と考え、予備メモリブロック37のテスト評価を省略しても良い。なお、上記装置をシステム化した場合は図1、図5～図7に示したように第1の半導体メモリM1の予備線が不足した場合は救済相手の第2の半導体メモリM2の予備線を利用することになる。その際はまず、第1の半導体メモリM1自身と第2の半導体メモリM2自身のチップ内部の欠陥救済を先に実施する。次いで、外部端子18を活性させ、第2の半導体メモリM2の予備メモリは書き込み/読出し状態に活性して評価し、M1とM2のそれぞれの共通冗長回路10のプログラム/比較部16にM1の欠陥アドレスと、M2の予備線をアクセスするための欠陥アドレス値をプログラミングすれば良い。なお、フラグビットはメモリ構成によっては一致比較結果を用いる場合もあるが、上記欠陥アドレス値と共に記憶される。このように自己テスト修正動作は、まず個々の半導体メモリ装置が自前の予備線を使いえる範囲で完了させる。次いでシステム全体の救済を行う。例えば外部から自己テスト修正の指示を与えると、順次個々の半導体メモリ装置を活性させそれぞれの半導体メモリ装置の欠陥アドレスが余剰の予備線に割り当てられる。またシステム救済では救済動作の一部を例えばアドレス信号、データ信号、メモリ制御信号等をシステムの外部から入力制御するもしくは欠陥アドレス等を外部に記憶して置くなども考えられる。一方、これらの救済動作は半導体メモリ装置もしくはそれを用いたメモリシステムの製造時に実施することが前提であるが、出荷後にユーザ側で自己テスト修正を実施できる構成としても良い。また誤って起動される自己テスト修正動作を防止する意味で、キーワード入力後に開始するよう自己テスト修正回

路64を構成しても良い。さらに自己テスト修正回路は、書込み／読出しを実行中でないメモリチップに対して、また実行中であってもタイムシェアリング的に割込みテスト修正する等の構成としても良い。例えば、半導体メモリ装置によるメモリシステムが不揮発性メモリを使用する場合は、その長い書込み時間を使い、その間他のメモリチップをテスト評価して欠陥アドレス情報をプログラムすることもできる。また不揮発性メモリ装置のような消去／書込み動作による書換え回数が制限されるデバイスは上記構成を用いることにより、その書換え回数10の限界で発生した欠陥ビットを逐次救済することによって信頼性を向上できる。なお救済動作はシステムのメモリチェックもしくはブート時に実施するよう構成しても良い。さらに自己テスト修正機能付きの半導体メモリ装置でなくとも、機能付きであってもシステム外部からの個別指示で救済を実施して良いことは言うまでもない。このように、本実施例により稼動中においても救済動作を実行することができ、テスト時間の短縮と市場における実時間救済を実現できる。

【0020】図10は本発明の第7の実施例を示す。同図において、図1と同一部分には同一番号を付すことにより説明を省略する。以下、図10を用いて本発明の構成と動作を説明する。同図の23'は第1の半導体メモリの救済相手となる第2の半導体メモリを活性化させる相手チップ活性信号を示す。相手チップ活性信号23'は外部のチップ選択信号23が入力されると常に活性化され、救済相手の第2の半導体メモリの予備メモリブロック37を活性する。従って、外部アドレス22が入力されると第1の半導体メモリと第2の半導体メモリは同時にプログラム／比較部16で一致比較が行われる。この結果、第1の半導体メモリに欠陥線があり、予備線が不足している場合は第2の半導体メモリの特定の予備線がアクセスされる。本実施例では第2の半導体メモリが第1の半導体メモリとほぼ同時に活性化されるため、チップ間にわたる救済動作をオンチップ冗長回路と変わらないアクセス時間で達成できる。すなわち図1のように第1の半導体メモリのプログラム／比較部16における判定結果から第2の半導体メモリをアクセスするような動作がないので、第2の半導体メモリの予備メモリはほとんど遅延なく読み出し／書込みアクセスされる。さらに40第1の半導体メモリと第2の半導体メモリにわたるデータの入出力動作では、第1の半導体メモリの自己のフラグビット82aもしくは一致比較結果が自己の正規メモリブロック36もしくは予備メモリブロック37を非活性化し、かつ第2の半導体メモリの予備メモリブロック37をフラグビット82bもしくは一致比較結果が活性化させるので上記救済機能と共にパワーの消費を抑えることができる。なお、救済相手の第2の半導体メモリが多数の場合は、複数の外部端子を設け、救済相手のメモリチップ選択を複数本の相手チップ活性信号23'で特定50

するか、救済相手の複数のチップを一度全て活性化しそれぞれに記憶したフラグビット82aもしくは一致比較した情報によって、特定チップのみ活性化しその他を非活性化するように構成すれば良い。一方、本実施例は図5から図7の実施例に対して活用しても良い。その場合は図5から図7の外部端子18を上記相手チップ活性信号23'に置き換え、また半導体メモリ装置2の冗長選択回路31はチップ選択信号23を入力として、フラグビット82a、82b等を図10に示すような観点で構成すれば良い。また図8の実施例に示したI/O切り換え回路20の付加及び図9の自己テスト修正機能の付加等においても本実施例を活用できることは言うまでもない。なお、チップ選択信号23はマイクロコンピュータ等の外部装置よりメモリチップを活性化させる信号であり、また相手チップ活性信号23'は半導体メモリ装置から生成する予備メモリブロックを少なくとも活性化させる信号である。以上の構成によって、自己の予備メモリが不足した場合は相手の救済残りを活用できるので、従来のオンチップ冗長回路構成以上の歩留まり向上が期待される。また図1の実施例に比べて第2の半導体メモリの予備メモリはアクセス時間が短縮される。

【0021】図11は中央演算装置等のロジックに内蔵される半導体メモリ装置の第8の実施例を示す。同図において、110はプロセッサ、136は正規メモリブロック、112は共通冗長回路、114は予備メモリブロック、118は共通予備線、120は複数のアドレス信号からなるアドレスバス、122は複数のデータ信号からなるデータバスを示す。また108はプロセッサ110、正規メモリブロック136、共通冗長回路112及び予備メモリブロック114で構成される論理機能ブロックであり、106は主に上記論理機能ブロック108で構成されるロジックインメモリである。論理機能ブロック108の正規メモリブロック136は、アドレスバス120とデータバス122を介して他の論理機能ブロック108の正規メモリブロック136とデータの送受信が行なわれる。その際、同図では省略したがメモリの制御信号を必要とすることは言うまでもない。以下、図11を用いて本発明の動作を説明する。共通予備線118は論理機能ブロック108の自己の正規メモリブロック136に欠陥があり、その救済本数が同ブロック108の予備メモリブロック114で不足する場合に、他の論理機能ブロック108の予備メモリブロック114の予備線を使用するため活性化させる。ここで用いる共通冗長回路112の欠陥アドレス値及びフラグビット等は上記これまでの実施例と同様の概念で構成される。これにより、論理機能ブロック108の正規メモリブロック136は同ブロック108間の相互救済が可能となる。例えば共通予備線118が図10に示す相手チップ活性信号23'と同様に機能する場合、高速なアクセス時間を得ることもできる。また全てもしくは必要とする個数の

予備メモリブロック 114 はロジックインメモリ 106 の動作時に常に活性状態にしても良く、その場合は自己の論理機能ブロック 108 で図 10 に示す相手の論理機能ブロック 108 の共通予備線 118 を生成しない時間分、より高速になる。本実施例は複数の論理機能ブロック 108 を中心に構成されたマルチプロセッサに応用した例である。この機能ブロック 108 は論理もしくはメモリ構成が異なっても良く、上記実施例の観点で同様なメモリ構成を持つロジックインメモリに適用できる。

【0022】 以上の実施例では、半導体メモリ装置に外部端子を設け、その端子をフラグビットで制御し、救済相手を活性する場合、またはチップ選択信号で救済相手を活性する場合の冗長構成について説明した。一方、半導体メモリ装置に外部端子を設けないすなわちボンディングパッドがない場合の相互救済は、上記実施例のフラグビットの概念に基づき以下のようにすれば良い。まず外部アドレスが入力されると、チップ選択信号 23 により選択されたメモリチップは該当する第 1 の半導体メモリの正規メモリブロック 36 と予備メモリブロック 37 を活性し、かつ第 2 の半導体メモリとなる全チップの予備メモリブロック 37 を活性させる。次いで、欠陥アドレスの一致比較結果もしくはフラグビット 82a の値により、上記選択活性された第 1 と第 2 の半導体メモリの中から、正しい予備線が選択活性される。この際、メモリシステムは相互に救済する n 個のチップを 1 グループとすると互いの n 個のチップで同一位置となる欠陥線が重ならない条件のもとで救済される。この結果、図 1 で述べた救済相手の欠陥アドレス 80b 及び相手を特定するフラグビット 82b は外部端子がないので不要である。従って、自己の欠陥アドレス 80a の余剰となる位置に相手の欠陥アドレスを記憶させれば良い。またこれは従来のオンチップ冗長回路において、チップ選択信号を全て一時活性させ、一定期間後のプログラム/比較部の一致比較判定結果に基づきチップを選択/非選択とする機能を付加することで達成される。なお一定時間、第 1 の半導体メモリと第 2 の半導体メモリの予備メモリブロックがオン状態となることで生じる消費電流の低減策は、第 2 の半導体メモリ側の上記共通冗長回路 10 が活性判定する期間以外に消費することがないように構成すれば良い。さらに活性判定後は選択された正規メモリブロックもしくは予備メモリブロック以外をオフ状態とすれば良い。

【0023】 一方、本発明による半導体メモリ装置は複数の半導体メモリ装置によるシステムにおいて、1 チップの第 1 の半導体メモリと救済相手となる少なくとも 1 チップの第 2 の半導体メモリを 1 つのグループとして、さらにその相互救済を実現するために、予め複数のフラグビット 82b をプログラム/比較部 16 に準備すれば良い。これらのフラグビット 82b はそのビットを全て

使っても使わなくても良いので、種々のビット構成に応じて適宜ビット数を選択し使用すれば良い。その際の余分なビットは救済に影響しないよう構成すれば良い。なお 1 システムは、相互救済するチップ数、または上記救済用の外部端子数の異なる半導体メモリ装置、またはメモリ構成、等々による異なるグループが混在しても、救済動作は少なくとも 1 グループ内でクローズして実施されるため、上記本発明の実施例は問題なく活用できる。

【0024】 また、本発明では第 1 の半導体メモリ及び第 2 の半導体メモリの各々が救済側もしくは被救済側となり、上記の外部端子のない冗長構成を除いて、少なくとも欠陥を持つ半導体メモリ装置の欠陥アドレスとフラグビットを両者が記憶するため、プログラム/比較部 16 の占有面積の増加が考えられる。しかしながら、図 3 に示すように約 2 倍の救済歩留まりの向上効果に比べて、その面積デメリットは小である。さらに不揮発性半導体メモリ装置は、そのメモリセルが DRAM セル同等のセル面積であるので、本メモリセルをプログラム素子として利用しても良い。この場合は、上記プログラム領域の面積を従来のレーザ光もしくは電気でポリシリコン等を溶断する方法に比べて低減できる。その際は、半導体メモリ装置に不揮発性メモリセルの書込みのための高電圧印加用もしくは制御用のボンディングパッド等を備えて制御しても良い。また半導体メモリ装置のメモリ制御信号もしくは外部アドレス信号、入出力 I/O 信号等を活用して、上記メモリセルによるプログラム素子の書き込みを制御しても良い。特に不揮発性メモリセルで構成される半導体メモリ装置は何等プロセスの変更なく実施できるので本発明の半導体メモリ装置に好適である。

【0025】 一方、システムにおける救済動作は自己の半導体メモリ装置の欠陥を救済した後、または救済前の状態においてもできる。これは、即ち上記の電氣的に書込み可能な上記メモリセルをプログラム素子に使用することで容易となる。またこれらの書込みはシステムに組み込む前の分離した単体チップ状態においてもできる。その場合はシステム化する各救済グループの自己及び相手の欠陥素性が分かれば良い。その場合のシステム構成は組立による欠陥発生を除き、全欠陥本数 ≤ 全予備線数が条件になる。なお、半導体メモリ装置は付加した外部端子を使用しない場合、従来のオンチップ冗長回路付き半導体メモリ装置と同様である。例えば外部端子は外部の予備メモリブロックの救済に使用しないとき、接地、電源電圧、低レベルもしくは高レベルに固定するか、プログラム素子を用いてチップの内部回路の論理で固定すれば良い。従って、その端子を追加したことによる自己もしくは相手メモリチップへの影響はない。

【0026】 なお、本発明は上記実施例に限定されるものではない。例えば、システムの外觀、形状、メモリ構成、プログラム方法等は必要に応じて種々変形できる。また第 1 と第 2 の半導体メモリの構成が異なるであって

も、例えば救済の単位（ワード線、ビット線もしくはセクタ、メモリブロック等）が同サイズであって、同様の相互救済機能を有するのであれば救済は可能である。構成の共通冗長回路におけるフラグビット及び冗長選択回路の論理レベル、もしくはプログラム／比較部のビットサイズ等々については状況に応じて変更すれば良い。さらに欠陥アドレス及びフラグビットの書込み手順などについても変更でき、その全部もしくは一部をシステムの外部から制御しても良い。その場合は、書込みを実行中である旨の情報をシステムの外部装置へ出力することで制御が容易となる。また欠陥アドレス及びフラグビットのプログラムはレーザ光、電気による短絡もしくは開放型のプログラム素子も可能である。この場合は、システムへの組み込む以前に、すなわちパッケージ封じ前に予め相互救済するグループ内のチップ欠陥状況を管理把握し、プログラムすると良い。一方、上記実施例で述べた救済動作の各ステップは、半導体メモリ装置の動作モード選択機能に組入れ、種々選択できるようにしても良い。

【0027】さらに上記では、半導体メモリ装置の入出力ビット構成がマルチビットのシステムにおける相互救済を説明したが、例えば入出力ビットが1ビット構成もしくは入出力端子が分離したメモリ装置においても本発明の概念は適用でき、入出力ビット構成を限定するものではない。またMOSトランジスタもしくはバイポーラトランジスタもしくはこれらの複合デバイスからなるROM、EPROM、EEPROM及び一括消去型のフラッシュメモリ等の不揮発性メモリ、DRAM、SRAM等のメモリ、マルチポート型メモリ、他パリティビット、エラー訂正コード用の予備ビットを持つメモリ、これらのメモリが含まれる複合メモリに対しても同様に適用できることは言うまでもない。

【0028】一方、上記実施例は例えば半導体不揮発性メモリ装置の正規メモリブロックのワード線欠陥もしくはビット線欠陥を単位とする救済であったが、セクタ（256バイト、512バイト、……）単位で情報を管理するような場合、それに対応する形でワード線欠陥もしくはビット線欠陥を複数本まとめまたは分割して管理し、不足する自己のメモリチップの予備メモリを救済相手のメモリチップで補う構成でも良い。なお、セクタを複数まとめたブロック（4Kバイト、8Kバイト、……）単位で情報を管理して救済できることは言うまでもない。

【0029】一方、1チップに正規メモリブロックと予備メモリブロックが複数あり、かつそれらのメモリブロックが個々のメモリブロックとして書き込み、読出しが可能である場合は同様に本発明を適用できる。

【0030】本発明は大容量化されたメモリシステムチップ、マイクロコンピュータ内蔵のメモリ、ゲートアレイを始めとするロジックインメモリもしくはウェーハ上

に構築するウェーハスケールインテグレーション等の半導体メモリ装置に対しても活用できることは言うまでもない。すなわち、本発明の骨子を逸脱しない範囲で種々変形して実施することができる。

【0031】

【発明の効果】本発明によれば、半導体メモリ装置の冗長回路に自己もしくは救済相手の予備メモリを判定するフラグビット、冗長選択回路および外部端子をそれぞれ追加することで大幅に歩留まりを向上できる。またフラグビットは救済相手を選択すると共にパワーセーブ機能としても働くため、消費電流の増大を抑制する効果がある。さらに、自己の半導体メモリ装置の外部チップ選択信号で救済相手の半導体メモリ装置のチップ活性信号を生成するよう構成した場合、相互救済時の予備メモリのアクセス時間を高速化できる。

【0032】なお、本発明を不揮発性半導体メモリ装置のような情報保持に電源がいらないビット単価の安いデバイスで構成した場合は、不良として廃棄されたメモリチップを利用できるため大容量メモリシステムが低コストで実現できる。また市場もしくはシステム稼動中においても電氣的に欠陥を修正できるので、不揮発性メモリの書換え回数の制限で発生する欠陥ビットが逐次救済できる。この結果、書換え回数が向上し半導体メモリ装置の信頼性が高くなる。

【図面の簡単な説明】

【図1】本発明の第1の実施例による半導体メモリ装置を示すためのブロック図である。

【図2】従来の技術の半導体メモリ装置を用いたメモリシステムを説明するためのブロック図である。

【図3】図1を説明するための欠陥アドレスとフラグビットの例である。

【図4】図1の救済効果を説明するための半導体メモリ装置の不良分布の例である。

【図5】メモリモジュールに応用した本発明の第2の実施例を説明するためのブロック図である。

【図6】メモリモジュールに応用した本発明の第3の実施例を説明するためのブロック図である。

【図7】メモリモジュールに応用した本発明の第4の実施例を説明するためのブロック図である。

【図8】本発明の第5の実施例を説明するためのブロック図である。

【図9】本発明の第6の実施例を説明するためのブロック図である。

【図10】本発明の第7の実施例を説明するためのブロック図である。

【図11】本発明の第8の実施例を説明するためのブロック図である。

【符号の説明】

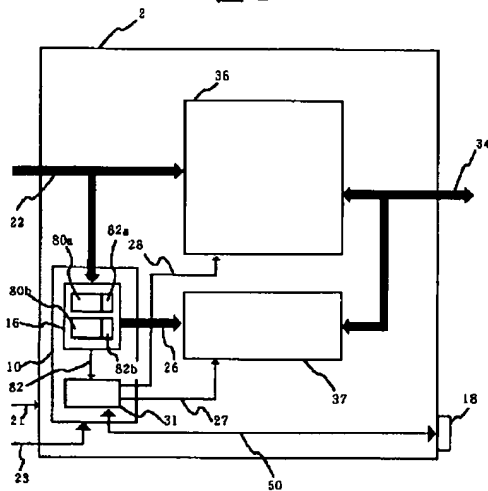
2, 2', 2'', M1~Mn…半導体メモリ装置、3, 6, 13, 6…正規メモリブロック、3, 7, 11, 4…予備

21

メモリブロック、16…プログラム／比較部、31…冗長選択回路、10, 112…共通冗長回路、26…予備メモリ選択信号、80a, 80b…欠陥アドレス信号、82a, 82b…フラグビット、82…フラグビット82bの出力線、21…メモリ制御信号、23…チップ選択信号、50…共通内部予備線、18, 18a, 18b…外部端子、22…外部アドレス、28…正規メモリの活性線、27…予備メモリの活性線、34…外部入出力I/O線、A~F…欠陥アドレス値、X…ドントケア、A, B, C, D, E, F, Q, R…欠陥アドレス値、102, 104…救済範囲、100…メモリモジュール、54, 54a, 54b, 54c, 118…共通予備線、

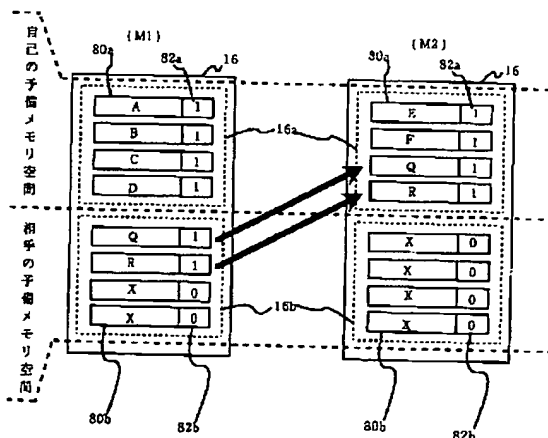
【図1】

図1



【図3】

図3

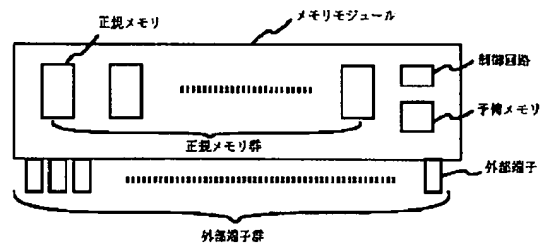


22

56…メモリ群、58…接続端子、60…接続端子群、32, 30…入出力I/O線、12…I/O切換え線、20…I/O切換え回路、66…外部メモリ制御信号、68…内部アドレス、64…自己テスト修正回路、62…テスト制御回路、70…テスト用アドレス、74…テスト開始/停止等の活性信号、76…テスト活性信号、23'…相手チップ活性信号、110…プロセッサ、120…アドレスバス、122…データバス、106…ロジックインメモリ、108…論理機能ブロック、I/O0~I/Oi, I/O0~I/Oj…入出力信号線、I/Ok…入出力信号もしくは入力信号、出力信号線。

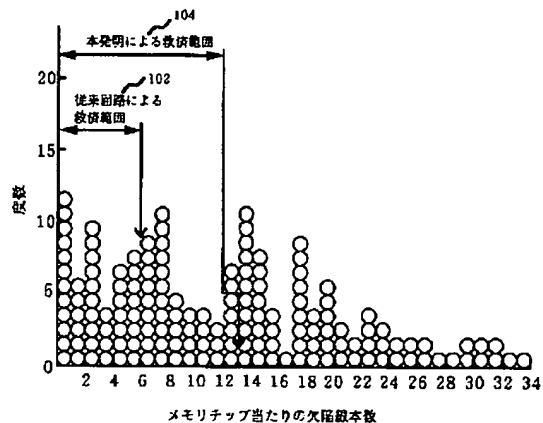
【図2】

図2



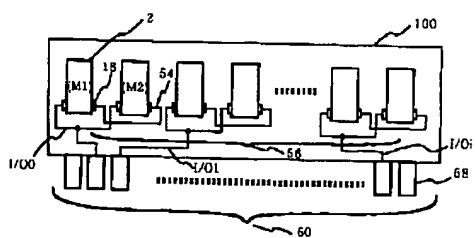
【図4】

図4



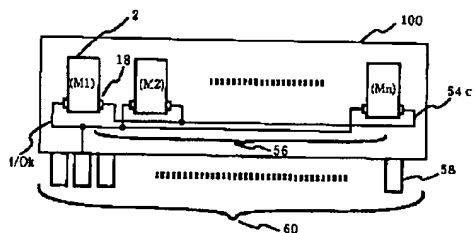
【図5】

図5



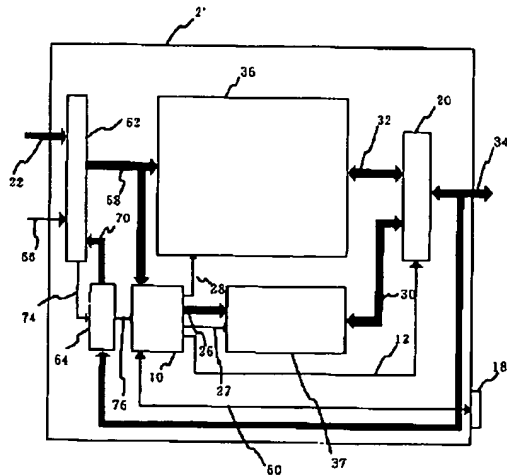
【図7】

図7



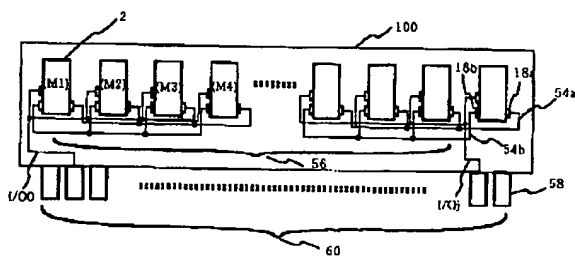
【図9】

図9



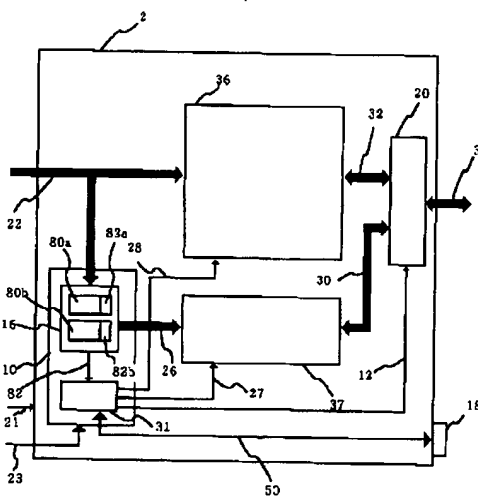
【図6】

図6



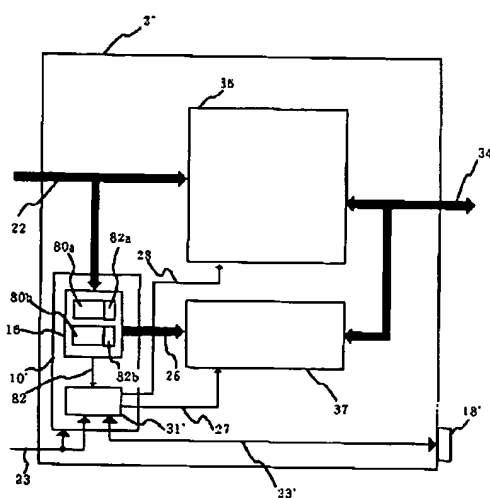
【図8】

図8



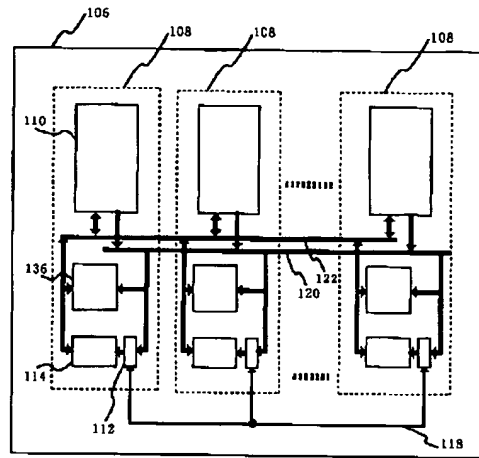
【図10】

図10



【図11】

図11



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.